**Chapitre N°1 : Logique combinatoire**

**A1-1 : Les circuits intégrés combinatoires**

1. **Les additionneurs logiques :**

## Rappel : l’additionneur binaire à 1 bit :

### Logigramme : on donne le logigramme d’un additionneur à 1 bit



### Equations des sorties :

Si = ……………………………………………………………………………………………

Ci+1 = ………………………………………………………………………………………...

### Symbole :



### Interprétation :

Pour additionner deux nombres A et B qui contiennent (n) bits, il faut utiliser (n) additionneurs complets.



Il n’est pas pratique de réaliser ce montage avec des opérateurs logiques discrets. Il vaut mieux utiliser les additionneurs intégrés.

## Additionneur binaire intégré :

On va étudier le circuit TTL 74283.

### Présentation :

Le circuit intégré TTL 74283 est un additionneur de deux nombres à 4 bits.

|  |  |
| --- | --- |
| Brochage : | Symbole : |
| C:\Users\info sud\Desktop\s201181201524459.jpg |  |

### Application :

***Réaliser l’activité N°2 pages 7 et 8.***

### Mise en cascade des additionneurs binaires :

Lorsqu’il s’agit de faire la somme de deux nombres de plus de 4 bit, il faut utiliser 2 ou plusieurs circuits 74283, qui sont connectés « en cascade ».



* ***Réaliser l’activité N°3 pages 9 et 10.***

### L’addition en « décimal codé binaire » BCD : cours page 15

### Application : Réaliser en BCD les opérations suivantes : 12+18 ; 55+71 ; 49+81.

### Transformation d’un additionneur binaire naturel en additionneur BCD :

*Réaliser l’activité N°4 pages 10, 11 et 12.*

### Additionneur BCD intégré : *Voir manuel de cours page 18.*

### L’addition en complément à 2 :

#### Représentation en complément à 2 :

Pour les entiers positifs, on convertit le nombre décimal en binaire puis on ajoute à gauche un « 0 » comme bit de signe.

Pour les entiers négatifs, on procède comme suit :

* On convertit la valeur absolue de l’entier et on ajoute « 0 » comme bit de signe.
* On complémente tous les bits (cette étape s’appelle ***complément à 1***).
* On ajoute « 1 » au résultat trouvé.

On peut résumer cette méthode par la formule suivante : soit X un nombre binaire, on a alors : $\left(-X\right)=\overbar{X}+1$**.**

**Application** : Coder en binaire et suivant la méthode complément à 2 les nombres suivants et leurs opposés (utiliser un format de 8 bits) : 13(10); 28(10) .

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **+13 =**  | **0** | **0** | **0** | **0** | **1** | **1** | **0** | **1** | **+28=** |  |  |  |  |  |  |  |  |
|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
|  | **0** | **0** | **0** | **0** | **0** | **0** | **0** | **1** |  |  |  |  |  |  |  |  |  |
| **-13=** |  |  |  |  |  |  |  |  | **-28=** |  |  |  |  |  |  |  |  |

#### L’addition en complément à 2 :

En utilisant le complément à 2, la soustraction peut être ramenée à une addition :

X – Y = ………………………………………………………………………………………….

#### Réalisation d’un additionneur-soustracteur :

***Réaliser l’activité N°5 pages 13 et 14.***

# Les comparateurs logiques :

## Comparateur de deux nombres à 1 bit :

### Présentation :

Un comparateur à 1 bits est circuit combinatoire qui reçoit deux entrées logiques A0 et B0, et qui possède 3 sorties **Q(A=B) ; Q(A<B)** et **Q(A>B).** ces trois sorties sont « exclusives », c.-à-d. on a toujours une et une seule qui est active.

### Table de vérité :

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **A0** | **B0** | **Q(A=B)** | **Q(A<B)** | **Q(A>B)** |
| 0 | 0 | …… | …… | …… |
| 0 | 1 | …… | …… | …… |
| 1 | 0 | …… | …… | …… |
| 1 | 1 | …… | …… | …… |

### Equations des sorties :

**Q(A=B)** = ……………………………………………………………….

**Q(A<B)** = ……………………………………………………………….

**Q(A>B)** = ……………………………………………………………….

### Logigramme :

## Comparateur de deux nombres à 2 bits :

Soient les nombres binaires A = a1a0 et B = b1b0, la comparaison de A et B aboutit aux équations logiques suivantes :

**Q(A=B)** = ……………………………………………………………….

**Q(A<B)** = ……………………………………………………………….

**Q(A>B)** = ……………………………………………………………….

## Le comparateur intégré 7485 :

### Présentation.

Le circuit 7485 compare deux nombres A et B à 4 bits.

|  |  |
| --- | --- |
| Brochage : | * + 1. **Symbole :**
 |
| C:\Users\info sud\Desktop\Capture5.PNG |  |

**Remarque :** Les entrées de mise en cascade :

………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………………

### Application :

***Réaliser l’activité N°6 pages 15 et 16.***

### Mise en cascade des comparateurs intégrés :

Si on compare deux nombres X et Y écrits sur un format de 8 bits, il faut utiliser 2 circuits 7485.



Le résultat de la comparaison est généré par le comparateur de rang le plus fort.

# Les multiplexeurs et les démultiplexeurs :

1. **Les multiplexeurs :**
* **Définition de la fonction multiplexage :**

Consiste à envoyer sur une même ligne de transmission des informations provenant de sources différentes.

* **Principe du multiplexage : manuel du cours page 24.**
* **Etude des multiplexeurs :**
* **Exemple 1 : le circuit intégré 74 153 (cours pages 24-25)**
* **Application 1**

Table de vérité :

|  |  |  |
| --- | --- | --- |
| ENTREES DE SELECTION | EQUIVALENT DECIMAL DU MOT DE SELECTION | SORTIE |
| S1=A | S0=B |
| 0 | 0 |  | Y = …. |
| 0 | 1 |  | Y = …. |
| 1 | 0 |  | Y = …. |
| 1 | 1 |  | Y = …. |

Equation de la sortie :

Y = ……………………………………………………………………………………………

Logigramme :

* **Exemple 2** : **Le circuit intégré 74 LS 151**

Le circuit 74 LS 151 est un multiplexeur 8 vers 1. Il comporte :

**Q**

* **1** Entrée de validation **E** ;
* **2** sorties complémentaires **Q** et
* **8** entrées de données **D0** à **D7**
* **3** entrées de sélection **A**, **B** et **C**

Si le boîtier est validé (entrée de validation E activée à 0), on retrouve sur la sortie du multiplexeur les informations présentes sur l’entrée de donnée qui est sélectionnée avec les entrées de sélection A, B et C.

**Document constructeur du circuit intégré 74 HC 151 :** multiplexeur 8 vers 1.





1. **les démultiplexeurs :**

Un démultiplexeur est un circuit logique à une entrée de données ou d’informations et N sorties qui reçoivent les informations d’entrée.

* **Principe du démultiplexage : manuel du cours page 29.**
* **Etude d’un démultiplexeurs :**
* **Exemple : le circuit intégré 74 139 (cours pages 29-30)**